

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 10 月 22 日

Application Date

申請案號：091124327

Application No.

申請人：南亞科技股份有限公司

Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2002 年 11 月 22 日

Issue Date

發文字號：09111022674

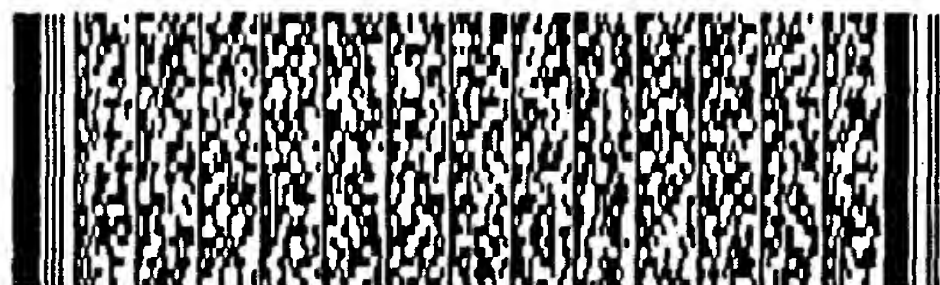
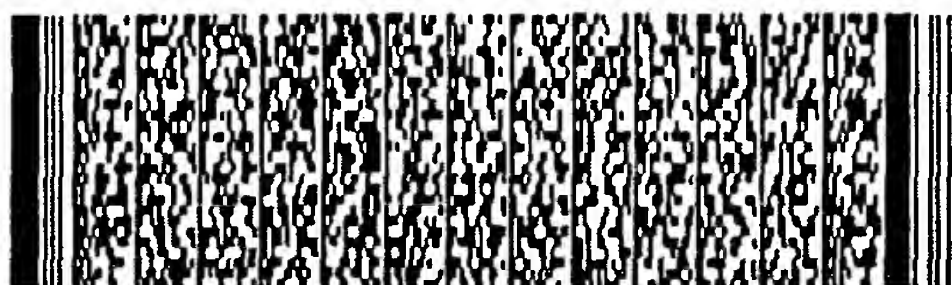
Serial No.

申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	用於偵測動態隨機存取記憶體之溝槽電容器與字元線結構之誤對準的測試元件、測試方法以及具有該測試元件之半導體裝置
	英 文	Test key of detecting whether the overlay of word-line structure and deep trench capacitor of DRAM is normal and test method of the same.
二、 發明人	姓 名 (中文)	1. 張明成 2. 林正平 3. 吳鐵將
	姓 名 (英文)	1. Chang-Ming Cheng 2. 3. Tie-Jiang Wu
	國 籍	1. 中華民國 2. 中華民國 3. 中華民國
	住、居所	1. 桃園縣蘆竹鄉蘆竹村12鄰31號 2. 桃園縣大園鄉大園村新生路41號 3. 宜蘭縣三星鄉萬德村93-7號
三、 申請人	姓 名 (名稱) (中文)	1. 南亞科技股份有限公司
	姓 名 (名稱) (英文)	1. Nanya Technology Corporation.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 桃園縣龜山鄉華亞科技園區復興三路669號
	代表人 姓 名 (中文)	1. 連日昌
	代表人 姓 名 (英文)	1. Jih-Chang Lien

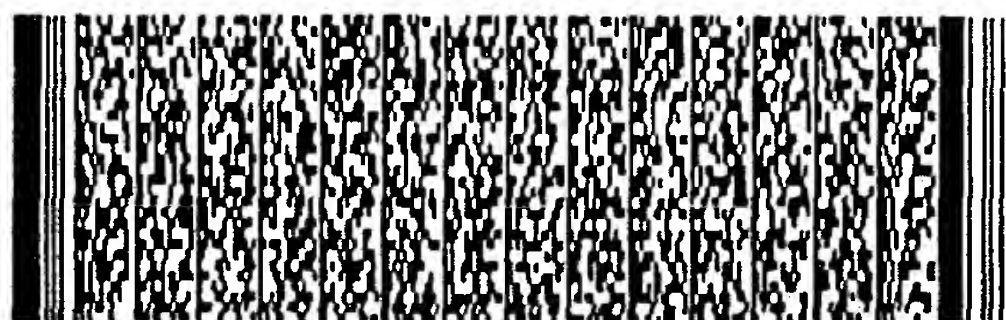


四、中文發明摘要 (發明之名稱：用於偵測動態隨機存取記憶體之溝槽電容器與字元線結構之誤對準的測試元件、測試方法以及具有該測試元件之半導體裝置)

本發明提供一種用於偵測動態隨機存取記憶體之溝槽電容器與字元線結構之誤對準的測試元件，係設置於一晶圓之切割道區中，上述切割道區中設有複數組記憶胞對，其中每一記憶胞對包括設置於一主動區兩端之二溝槽電容器，二字元線設置於主動區上方，以及一位元線插塞設置於二字元線之間並耦接至主動區，測試元件包括一第一、第二長條型溝槽電容器，設置於切割道區中；以及一第一主動區，設置於第一、第二長條型溝槽電容器之間，其中第一、第二溝槽電容器，係分別延伸至與第一主動區相鄰之複數組記憶胞對之一第一、第二記憶胞對，並且分別與第一、第二記憶胞對之位元線插塞電性耦接。

英文發明摘要 (發明之名稱：Test key of detecting whether the overlay of word-line structure and deep trench capacitor of DRAM is normal and test method of the same.)

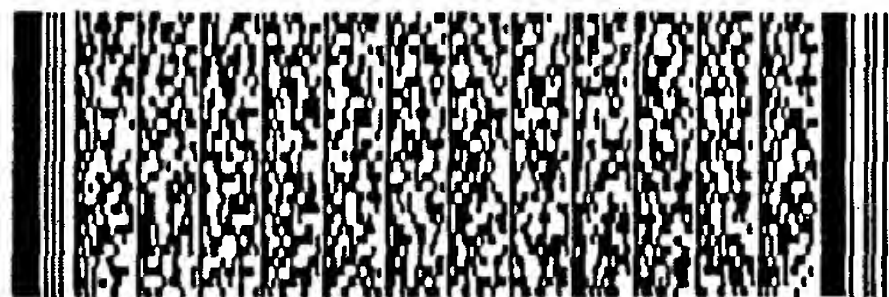
Test key of detecting whether the overlay of word-line structure and deep trench capacitor of DRAM is normal and test method of the same. The test key is deposited in a scribe line area, and a plurality of memory cell pairs are deposited in the scribe line area, each memory cell pair has two deep trench capacitors deposited on two ends of an active area, two word lines above the active area, and a bit line contact deposited between the two word lines and coupled to the active area



四、中文發明摘要 (發明之名稱：用於偵測動態隨機存取記憶體之溝槽電容器與字元線結構之誤對準的測試元件、測試方法以及具有該測試元件之半導體裝置)

英文發明摘要 (發明之名稱：Test key of detecting whether the overlay of word-line structure and deep trench capacitor of DRAM is normal and test method of the same.)

below. The test key has two bar deep trench capacitor deposited in the scribe line area, and a first active area deposited the two bar deep trench capacitor, wherein the two bar deep trench capacitors extends to adjacent memory cell pairs respectively and electrically couples to the bit line contact of the adjacent memory cell pairs.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

【發明領域】

關於一種測試元件(test key)，特別是有關於一種用以偵測動態隨機存取記憶體之溝槽電容器(deep trench capacitor, DT)與位元線結構(GC)之誤對準(misalignment)的測試元件、測試方法以及具有該測試元件之半導體裝置。

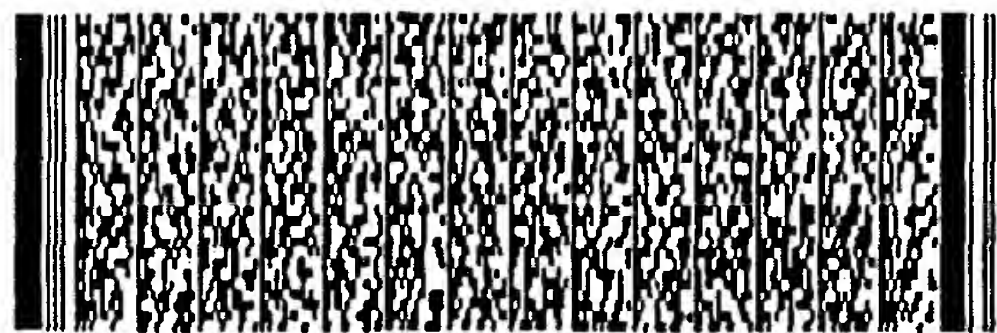
【習知技術】

第1圖係繪示傳統具有溝槽電容器之DRAM的佈局圖，且第2圖係為第1圖的A-A剖面圖。然而，當閘極結構(即字元線12)的光罩與溝槽電容器10的光罩未對準時，將會使得由溝槽電容10所擴散出來之隱埋接面(Buried Srtap Junction)A會比較接近其中一邊，而造成二次電流。如此會使得相鄰的記憶胞產生漏電流，或者是記憶胞無效，因而造成製程良率的下降。

【發明之目的及概要】

有鑑於此，本發明之首要目的在於提供一種用以偵測溝槽電容器與位元線結構之誤對準的測試元件及測試方法。因此，製程人員可加以調整光罩之對準，使得位元線結構的光罩與溝槽電容器的光罩之對準誤差在可允許的範圍內，以提高記憶胞的可靠度及製程之良率。

根據上述目的，本發明提供一種用於偵測動態隨機存取記憶體之溝槽電容器與字元線結構之誤對準的測試元



五、發明說明 (2)

件，係設置於一晶圓之切割道區中，上述切割道區中設有複數組記憶胞對，其中每一記憶胞對包括設置於一主動區兩端之二溝槽電容器，二字元線設置於主動區上方，以及一位元線插塞設置於二字元線之間並耦接至主動區，測試元件包括一第一、第二長條型溝槽電容器，設置於切割道區中；以及一第一主動區，設置於第一、第二長條型溝槽電容器之間，其中第一、第二溝槽電容器，係分別延伸至與第一主動區相鄰之複數組記憶胞對之一第一、第二記憶胞對，並且分別與第一、第二記憶胞對之位元線插塞電性耦接。

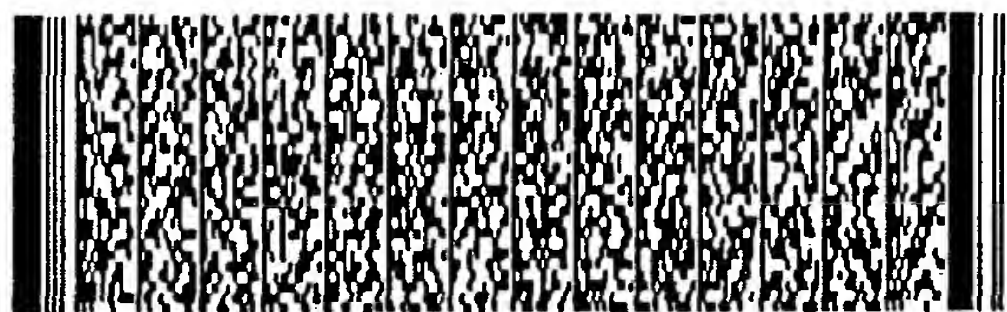
為讓本發明之上述目的、特徵及優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

【發明的詳細說明】

請參照第3圖，用以說明本發明之一實施例。第3圖係為本發明中用以偵測DRAM的位元線結構與深溝電容器之重疊是否偏移的測試元件之佈局圖，其中測試元件200係設置於一晶圓之切割道中。

本發明係於晶圓之記憶胞區形成複數記憶胞對25之同時，於晶圓之切割道區域形成一測試元件200及複數記憶胞對，其中測試元件200之佈局如第3圖所示，形成於記憶胞區之複數記憶胞對25的結構如第1圖中所示。

如第1圖所示，溝槽電容器10係配置在路過字元線



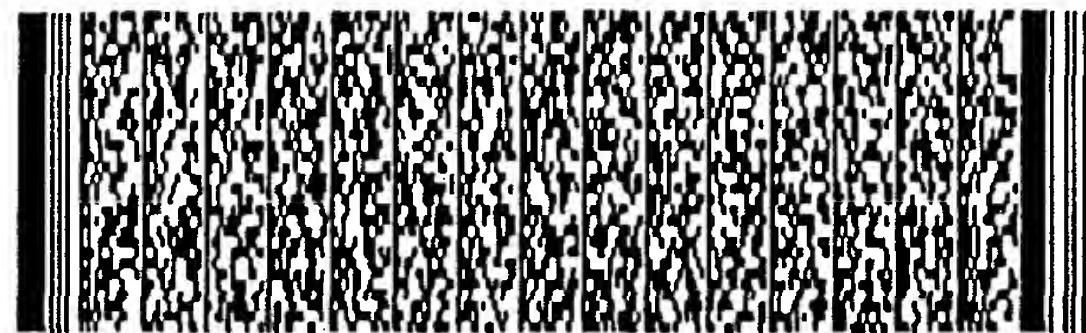
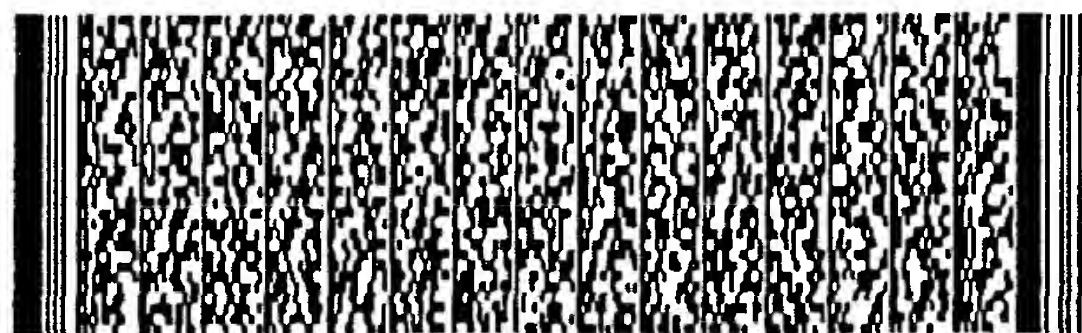
五、發明說明 (3)

(passing wordline) 下方。電晶體14係經由擴散區18電性耦接至溝槽電容器10的儲存節點16。另一擴散區20係連接至位元線插塞22，而位元線插塞22則連接至位元線（未繪示），以藉由電晶體14來讀取或寫入至儲存節點16。電晶體14係藉由字元線12來驅動。當電壓施加至字元線12時，字元線12下方的通道會導通，而於兩擴散區18和20之間產生電流並流入或流出儲存節點16。於本發明中，定義以兩個電晶體14及其對應之溝槽電容器10、位於兩溝槽電容器之間的主動區，以及其上之位元線插塞，為一個記憶胞對25。

第2圖係為第1圖的沿線線A-A剖面圖。當溝槽電容器10完成後，會於基底和溝槽電容器10中形成淺溝槽隔離28，以定義主動區AA，並用以隔離將形成之路過字元線12和溝槽電容器10。之後，於基底上形成字元線12。再配合以字元線和淺溝槽隔離28為離子植入罩幕，於字元線兩側的主動區形成做為源極/汲極的摻雜區18和20。

如第3圖中所示，切割道區中設有複數組記憶胞對251、252，其中每一記憶胞對251、252包括設置於一主動區AA兩端之二溝槽電容器10，二字元線12設置於主動區AA上方，以及一位元線插塞22設置於二字元線12之間並耦接至主動區AA。

測試元件200包括一第一、第二長條型溝槽電容器111、112、一第一主動區A₁、一第一、第二埋入板摻雜區381、382（示於第4圖中）、一第一、第二電晶體141、



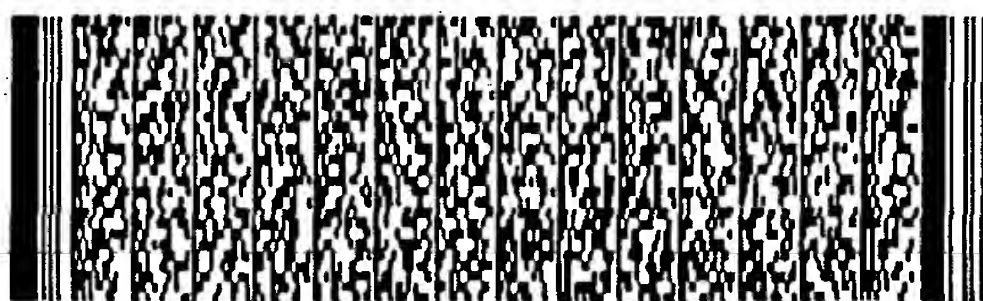
五、發明說明 (4)

142，以及一第一位元線插塞221。

其中第一、第二長條型溝槽電容器111、112，係分別延伸至與第一主動區 A_1 相鄰之第一、第二記憶胞對251、252之主動區AA，並且分別與第一、第二記憶胞對251、252之位元線插塞22電性耦接。第一電晶體141係設置於第一長條型溝槽電容器111之一側，並且第一電晶體141之源極係藉由上述第一摻雜區381耦接至第一長條型溝槽電容器111，而第二電晶體142係設置於第一長條溝槽電容器112之一側，第二電晶體142之源極係藉由第二摻雜區382耦接至第二長條型溝槽電容器112。另外，第一位元線插塞221係設置於主動區 A_1 之上，並且與第一、第二電晶體141、142之汲極耦接。

如第4圖所示，為第3圖中沿線段BB之剖面圖。由於第一、第二長條型溝槽電容器111、112，分別延伸至第一、第二記憶胞對251、252，並且與對應之位元線插塞22電性耦接(顯示於第3圖中)，故本發明可以藉由施加一第一適當電壓於第一記憶胞對251之位元線插塞22和第一位元線插塞之間，並施加一第二適當電壓於第一電晶體141之閘極上，以量測得一第一電阻值。同樣地，亦可以藉由施加上述第一適當電壓於第一記憶胞對252之位元線插塞22和第一位元線插塞之間，並施加上述第二適當電壓於第二電晶體142之閘極上，以量測得一第二電阻值。

其中第一電阻值 R_1 、第二電阻值 R_2 會符合於下列方程式一、方程式二



五、發明說明 (5)

$$R_1 = R_{ch} + R_{XA} * ((F + \Delta L)/F); \quad \text{式一}$$

$$R_2 = R_{ch} + R_{XA} * ((F - \Delta L)/F); \quad \text{式二}$$

在此， R_{XA} 表示第一、第二電晶體源極區之片電阻值， F 表示字元線之最小線寬， $L + \Delta L$ 、 $L - \Delta L$ 分別表示第一、第二溝槽電容器與字元線間之距離。

由於是在相同的製程條件、材料下，第一、第二電晶體之源極區的片電阻值皆會等於 R_{XA} ，且字元線的最小線寬會等於 F ，並且當第一、第二電晶體導通時，片電阻值 R_{XA} 會遠大於通道電阻 R_{CH} 。因此，可以得知方程式三、四

$$R_1/R_2 = (F + \Delta L)/(F - \Delta L) \quad \text{式三}$$

$$\Delta L = F * (R_2 - R_1) / (R_1 + R_2) \quad \text{式四}$$

故只要測得第一、第二電阻值 R_1 、 R_2 ，即可得知字元線(電晶體之閘極)結構12與第一、第二溝槽電容器111、112之重疊偏移量 ΔL 。當第一電阻值 R_1 等於第二電阻值 R_2 時，表示字元線(電晶體之閘極)結構12與第一、第二溝槽電容器111、112之重疊並沒有產生偏移。

換句話說，若字元線12之光罩往第一溝槽電容器111的方向偏移 ΔL 距離時。由於電阻值 R_1 、 R_2 皆正比於字元線12與第一、第二長條型溝槽電容器111、112之間的距離，因此第一電阻值 R_1 會小於第二電阻值 R_2 ，且偏移量 ΔL 可藉由上述式四而求得。

若字元線12之光罩往第一溝槽電容器111的方向偏移 ΔL 距離時。由於電阻值 R_1 、 R_2 係正比於字元線12與第一、第二長條型溝槽電容器111、112之間的距離，因此第一電



五、發明說明 (6)

阻值 R_1 會大於第二電阻值 R_2 ，且偏移量 ΔL 可藉由上述式四而求得。

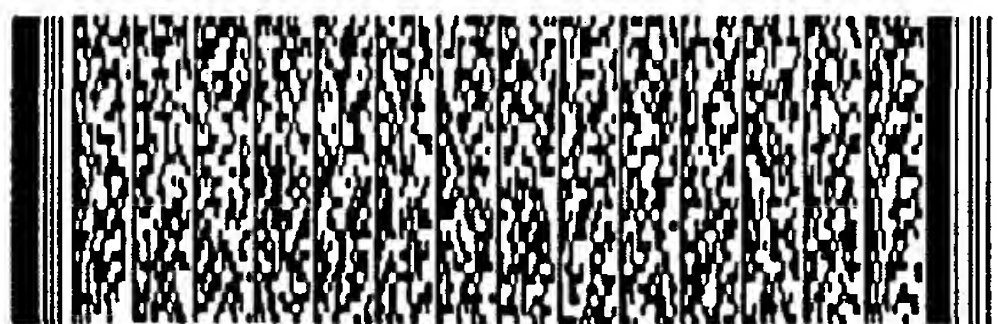
因此，本發明可藉由導通第一電晶體141，並量測上述測試元件中第一位元線插塞221和第一記憶胞對251之位元線插塞間的第一電阻值 R_1 ，以及導通第二電晶體142，並第一位元線插塞和第二記憶胞對252之位元線插塞間的第二電阻值 R_2 ，根據第一、第二電阻值 R_1 、 R_2 是否相同，來監控制程中位元線接點與主動區之重疊是否產生偏移。

本發明提供之偵測位元線接點與主動區之重疊是否產生偏移的方法，包括下列步驟，首先提供一晶圓，該晶圓至少具有一切割道區和一記憶胞區。

接著，於該晶圓之該切割道中形成至少一測試元件200，並同時於晶圓之記憶胞區及切割道區中形成複數記憶胞對，其中該測試元件之構造如第3圖所示，且該等記憶胞對之結構如第2圖中所示，在此不再綴述。

接著，施加一第二適當電壓於第一電晶體141之閘極上，並施加一第一適當電壓於第一記憶胞對251之位元線插塞22和第一位元線插塞之間，以導通電晶體141，並量得一第一電阻值。同樣地，施加上述第二適當電壓於第二電晶體142之閘極上，施加上述第一適當電壓於第一記憶胞對252之位元線插塞22和第一位元線插塞之間，以導通電晶體142，並量得一第二電阻值。

然後，根據第一、第二電阻值 R_1 、 R_2 是否相同，來估算測試元件200上之字元線12與長條型溝槽電容器111、



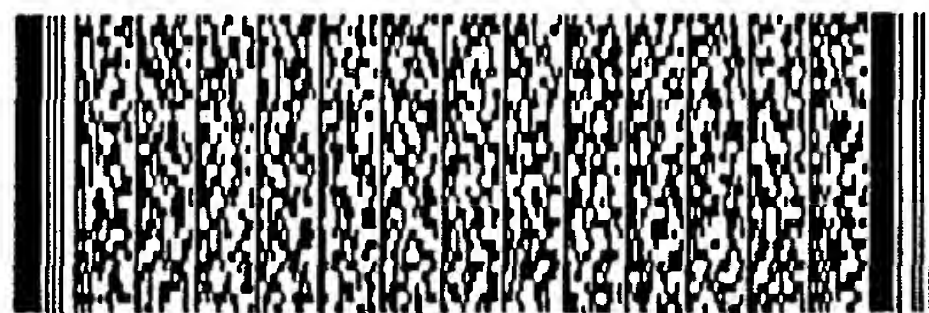
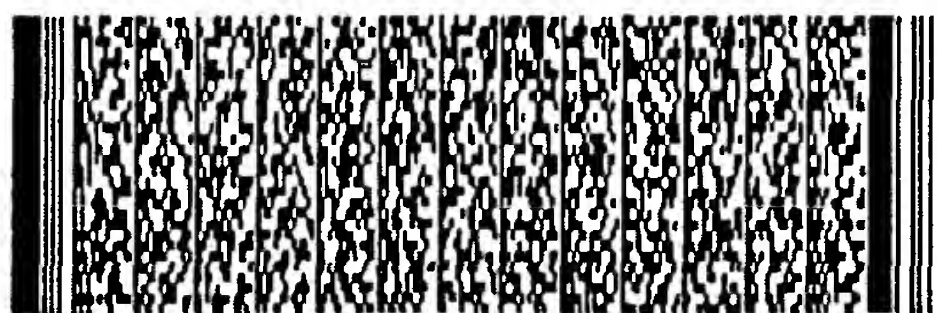
五、發明說明 (7)

112之重疊是否偏移，若產生偏移，則依據上述式四，求得字元線12與長條型溝槽電容器111、112之偏移程度。最後，藉由測試元件上之字元線與長條型溝槽電容器的重疊偏移程度，估算晶圓之記憶胞區內複數記憶胞中之字元線與溝槽電容器之重疊偏移程度。

由於當光罩偏移時，無論是記憶胞區或是切割道區之字元線均會產生一致的偏移，因此，藉由切割道上的測試元件，可以反應出記憶胞區中的字元線與深溝電容器之間是否產生重疊偏移的狀況。

此外，本發明之測試元件與測試方法，將測試元件設置於切割道上，可以同步與記憶胞區進行相同製程，監控字元線與溝槽電容器之重疊是否有產生偏移，且避免佔據記憶胞區的空間。

雖然本發明已以較佳實施例揭露如上，然其並非用以限制本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做更動與潤飾，因此本發明之保護範圍當事後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖係為習知DRAM中記憶胞區之佈局圖。

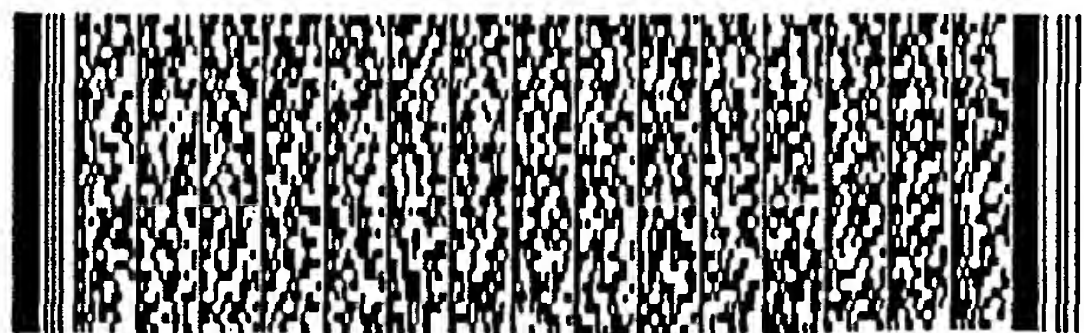
第2圖係為第1圖中沿線段AA'之剖面圖。

第3圖係為本發明之測試元件之佈局圖。

第4圖係為第3圖中測試元線沿線段BB'之剖面圖。

【符號說明】

- | | |
|------------------------|---------------|
| 10：溝槽電容器； | 14：電晶體； |
| 16：儲存節點； | 18、20：擴散區； |
| 22：位元線插塞； | AA：主動區； |
| 25、251、252：記憶胞對； | |
| 28：淺溝槽隔離； | 200：測試元件； |
| A_1 ：一第一主動區； | 381：第一埋入板摻雜區； |
| 382：第二埋入板摻雜區； | |
| 111、112：第一、第二長條型溝槽電容器； | |
| 141、142：第一、第二電晶體； | |
| 221：第一位元線插塞； | |
| R_1 ：第一電阻值； | R_2 ：第二電阻值。 |



六、申請專利範圍

1. 一種用於偵測動態隨機存取記憶體之溝槽電容器與字元線結構之誤對準的測試元件，係設置於一晶圓之切割道區中，上述切割道區中設有複數組記憶胞對，其中每一上述記憶胞對包括設置於一主動區兩端之二溝槽電容器，二字元線設置於上述主動區上方，以及一位元線插塞設置於上述二字元線之間並耦接至上述主動區，上述測試元件包括：

一第一、第二長條型溝槽電容器，設置於上述切割道區中；以及

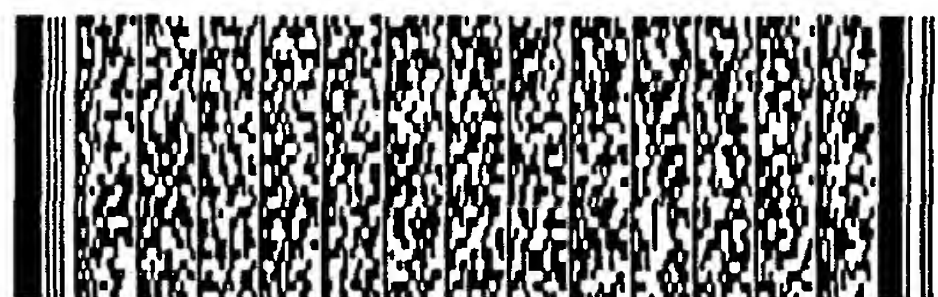
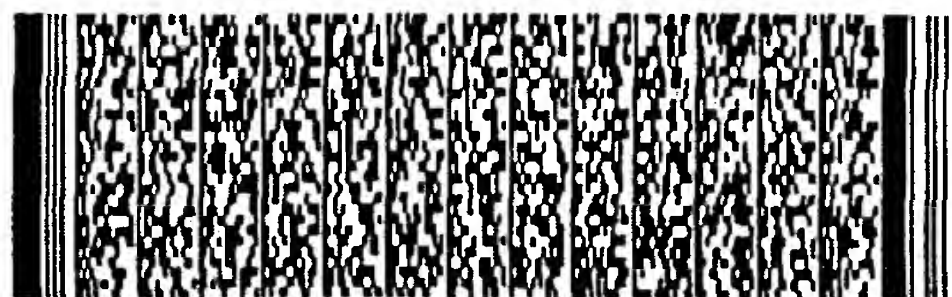
一第一主動區，設置於上述第一、第二長條型溝槽電容器之間，其中上述第一、第二溝槽電容器，係分別延伸至與上述第一主動區相鄰之上述複數組記憶胞對之一第一、第二記憶胞對，並且分別與上述第一、第二記憶胞對之位元線插塞電性耦接。

2. 如申請專利範圍第1項所述之用於偵測動態隨機存取記憶體之溝槽電容器與字元線結構之誤對準的測試元件，其中上述測試元件更包括：

一第一埋入板摻雜區和一第二埋入板摻雜區，分別設置於上述第一、第二長條溝槽電容器之一側；

一第一電晶體，設置於上述第一長條型深溝電晶體之一側，上述第一電晶體之一源極係經由上述第一埋入板摻雜區與該第一長條型溝槽電容器耦接；

一第二電晶體，設置於上述第二長條型深溝電晶體之一側，上述第二電晶體之一源極係經由上述第二埋入板摻



六、申請專利範圍

雜區與上述第二長條型溝槽電容器耦接；以及

一第一位元線插塞，與上述第一、第二電晶體之一汲極耦接。

3. 如申請專利範圍第2項所述之用於偵測動態隨機存取記憶體之溝槽電容器與字元線結構之誤對準的測試元件，其中上述測試元件更包括二路過字元線，設置於上述第一、第二溝槽電容器上方。

4. 一種具有測試元件之半導體裝置，包括：

一基底，至少具有一切割道區和一記憶胞區，其中上述切割道區及記憶胞區中各設有複數組記憶胞對，並且每一上述記憶胞對包括：

一主動區；

二溝槽電容器，設置於上述主動區兩端；

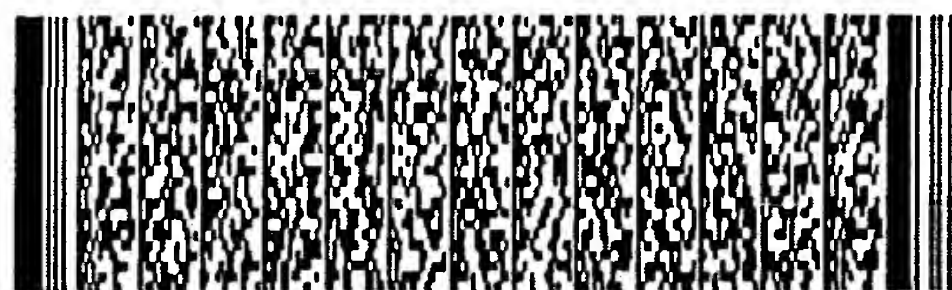
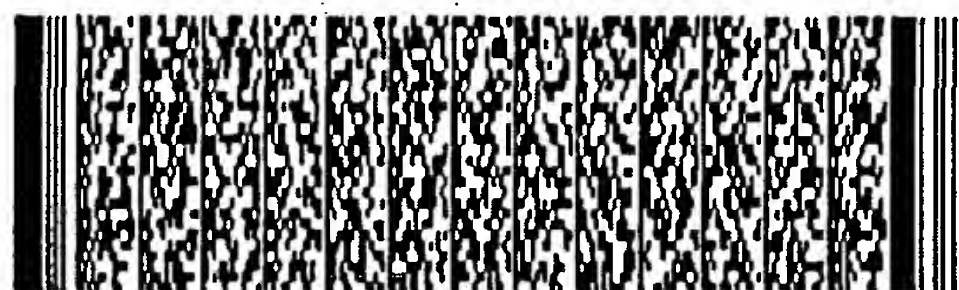
二字元線，平行地設置於上述主動區上方；以及

一位元線插塞，設置於上述二字元線之間，並耦接至上述主動區；以及

一測試元件，設置於上述切割道區，包括：

一第一、第二長條型溝槽電容器，設置於上述切割道區中；以及

一第一主動區，設置於上述第一、第二長條型溝槽電容器之間，其中上述第一、第二溝槽電容器，係分別延伸至與上述第一主動區相鄰之上述複數組記憶胞對之一第一第二記憶胞對，並且分別與上述第一、第二記憶胞對之位元線插塞電性耦接。



六、申請專利範圍

5. 如申請專利範圍第4項所述之具有測試元件之半導體裝置，其中上述測試元件更包括：

一第一埋入板摻雜區和一第二埋入板摻雜區，分別設置於上述第一、第二長條溝槽電容器之一側；

一第一電晶體，設置於上述第一長條型深溝電晶體之一側，上述第一電晶體之一源極係經由上述第一埋入板摻雜區與該第一長條型溝槽電容器耦接；

一第二電晶體，設置於上述第二長條型深溝電晶體之一側，上述第二電晶體之一源極係經由上述第二埋入板摻雜區與上述第二長條型溝槽電容器耦接；以及

一第一位元線插塞，與上述第一、第二電晶體之一汲極耦接。

6. 如申請專利範圍第5項所述之具有測試元件之半導體裝置，其中上述測試元件更包括二路過字元線，設置於上述第一、第二溝槽電容器上方。

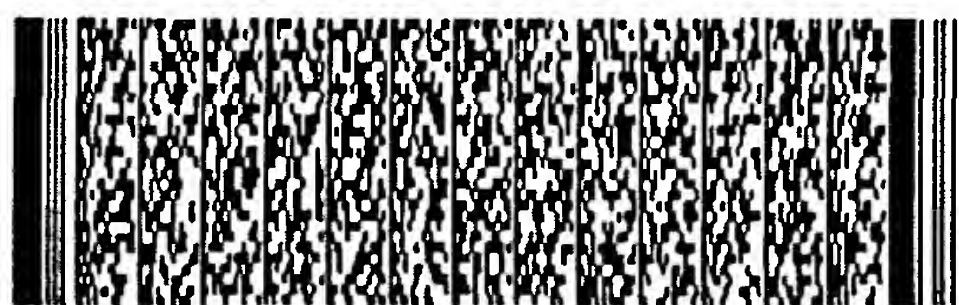
7. 一種偵測動態隨機存取記憶體之溝槽電容器與字元線結構之誤對準的測試方法，包括下列步驟：

提供一晶圓，上述晶圓至少具有一切割道區和一記憶胞區；

於該晶圓之上述切割道區形成一測試元件，並同時於上述晶圓之上述記憶胞區及切割道區中形成複數記憶胞對，每一上述記憶胞對包括：

一主動區；

二溝槽電容器，設置於上述主動區兩端；



六、申請專利範圍

二字元線，平行地設置於上述主動區上方；以及
一位元線插塞，設置於上述二字元線之間，並耦接至
上述主動區；以及

上述測試元件，包括：

一第一、第二長條型溝槽電容器，設置於上述切割道
區中；

一第一主動區，設置於上述第一、第二長條型溝槽電
容器之間；

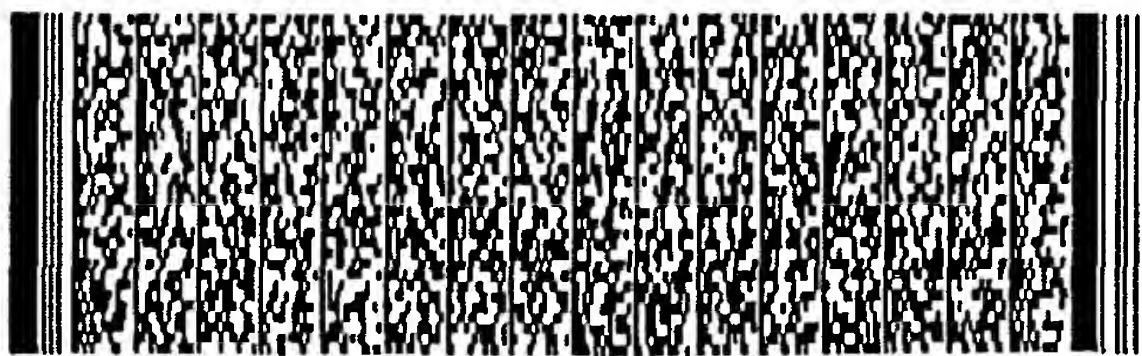
一第一埋入板摻雜區和一第二埋入板摻雜區，分別設
置於上述第一、第二長條溝槽電容器之一側；

一第一電晶體，設置於上述第一長條型深溝電晶體之
一側，上述第一電晶體之一源極係經由上述第一埋入板摻
雜區與該第一長條型溝槽電容器耦接；

一第二電晶體，設置於上述第二長條型深溝電晶體之
一側，上述第二電晶體之一源極係經由上述第二埋入板摻
雜區與上述第二長條型溝槽電容器耦接；以及

一第一位元線插塞，與上述第一、第二電晶體之一汲
極耦接；其中上述第一、第二溝槽電容器，係分別延伸至
與上述第一主動區相鄰之上述複數組記憶胞對之一第一、
第二記憶胞對，並且分別與上述一第一、第二記憶胞對之
位元線插塞電性耦接；

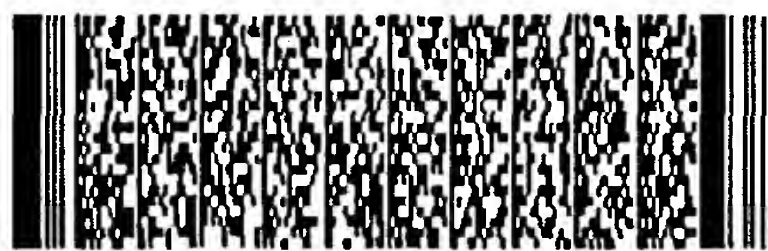
分別量測上述第一位元線插塞和與上述第一記憶胞對
之位元線插塞間之一第一電阻值，以及上述第一位元線插
塞和上述第二記憶胞對之位元線插塞間之一第二電阻值；

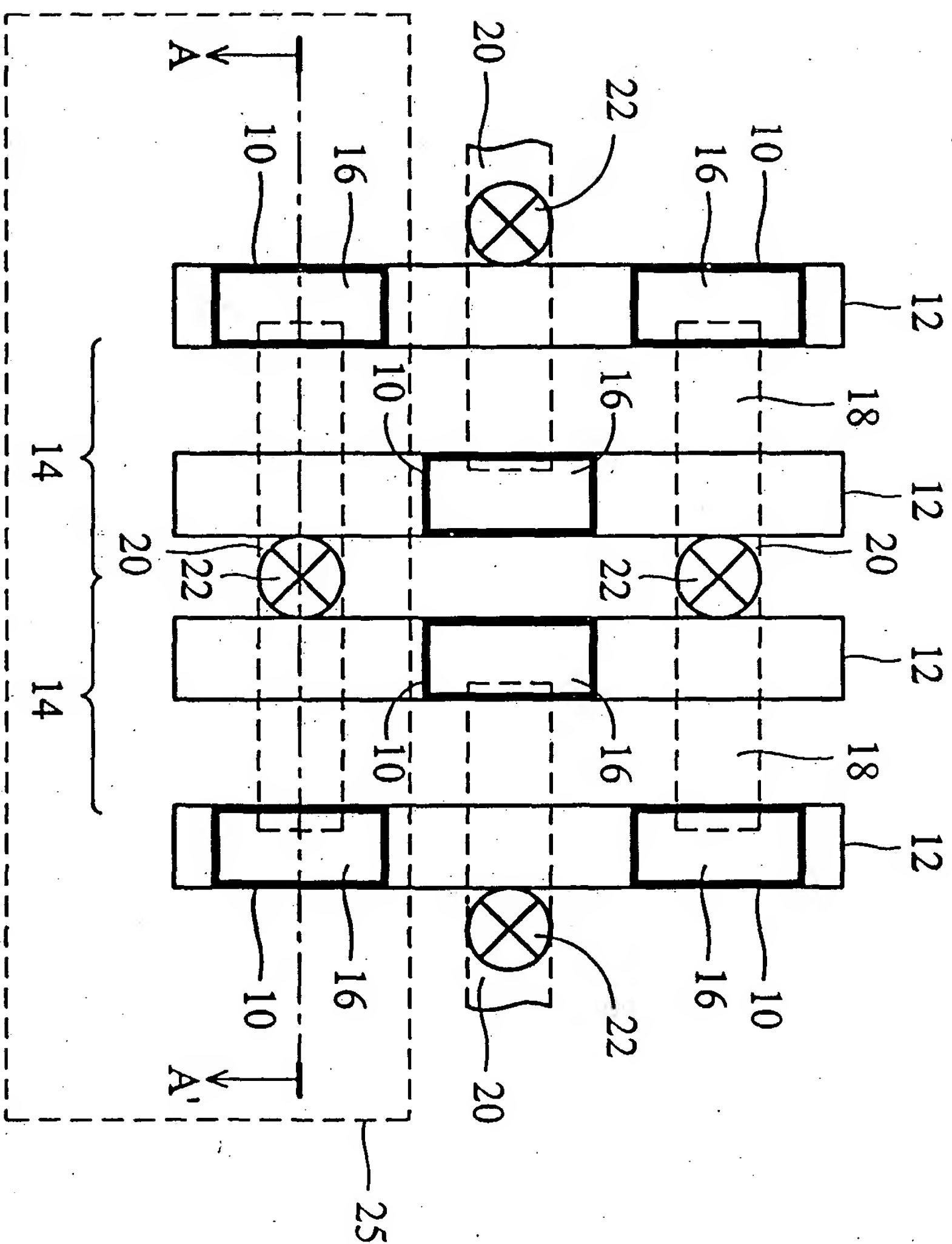


六、申請專利範圍

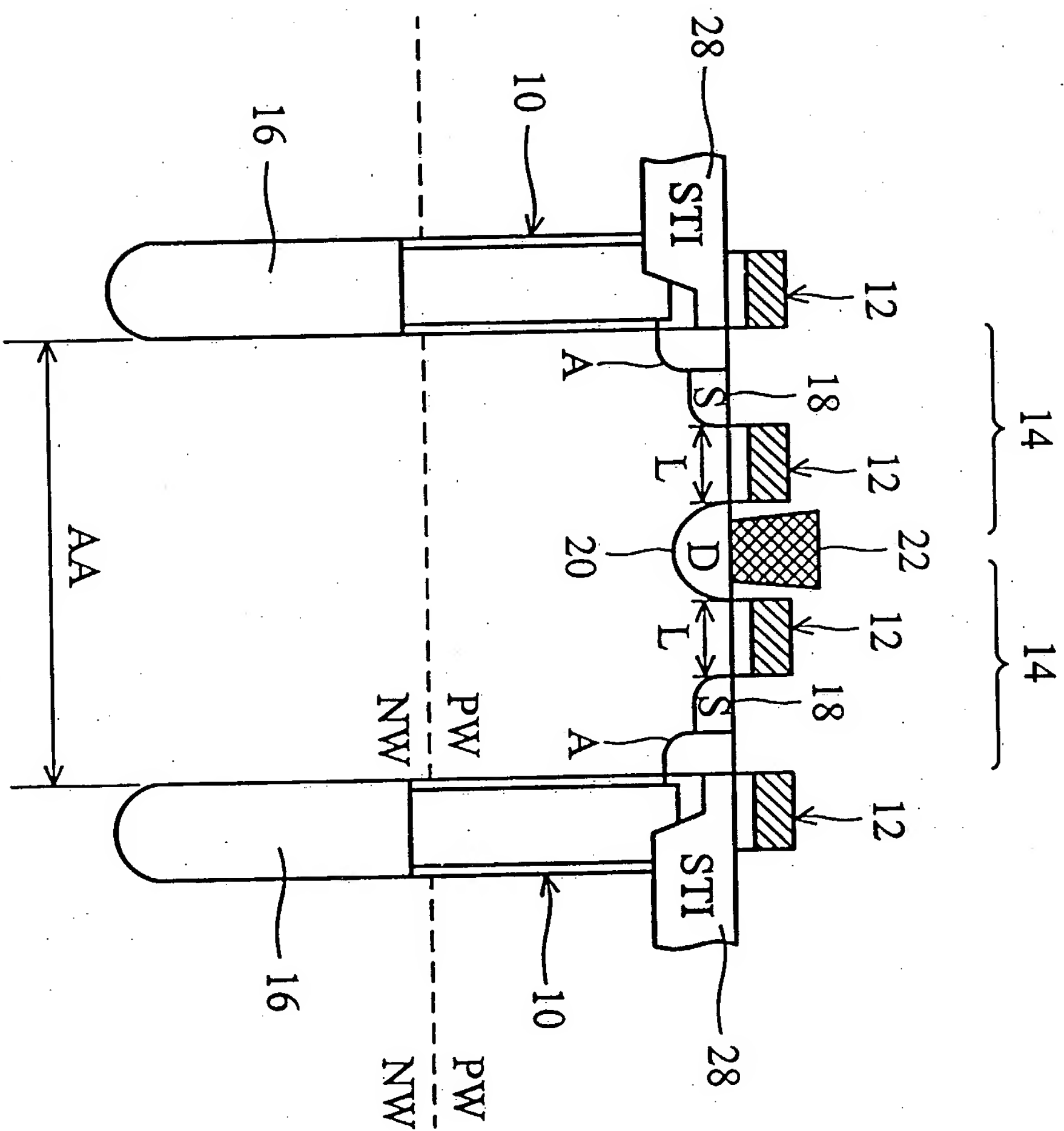
以及

根據該第一與上述第二電阻值，估算該記憶胞區中上述字元線結構與上述溝槽電容器的重疊偏移程度。

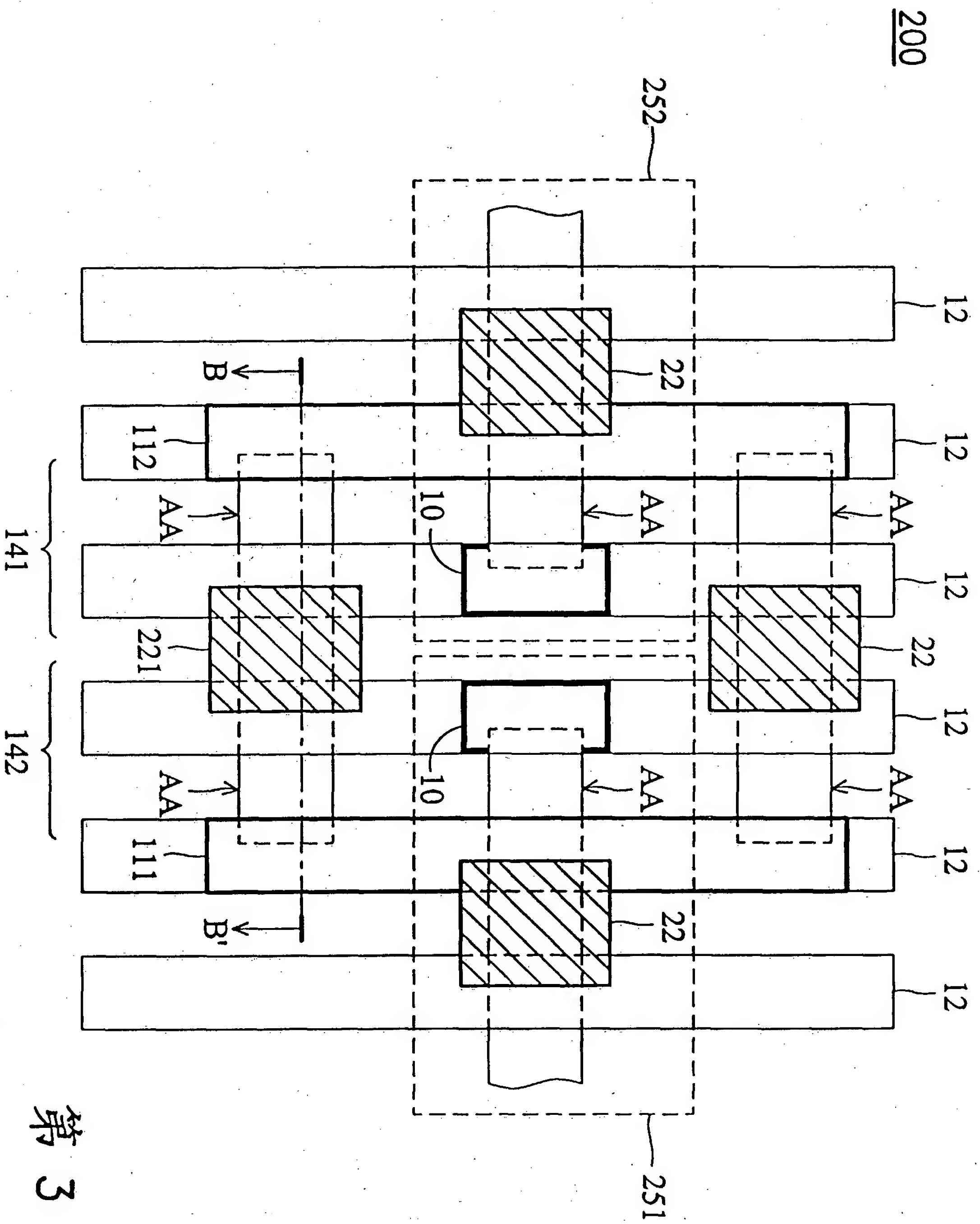




第 1 圖

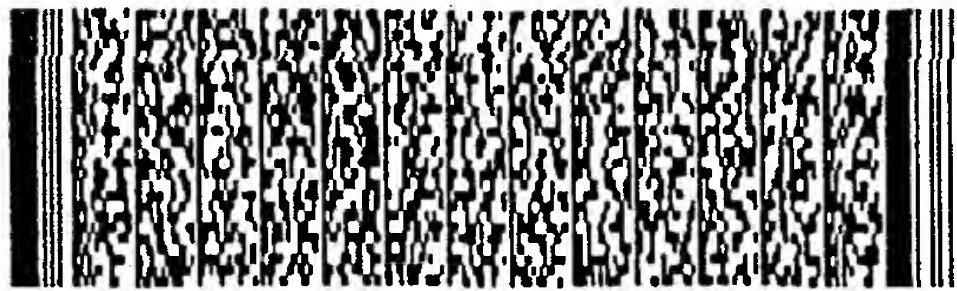


第 2 圖

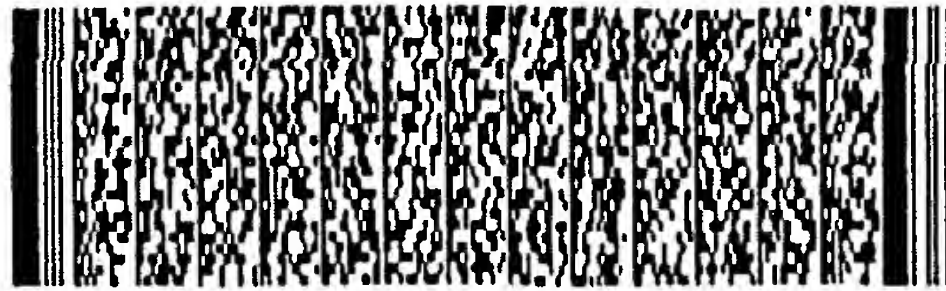


第 3 圖

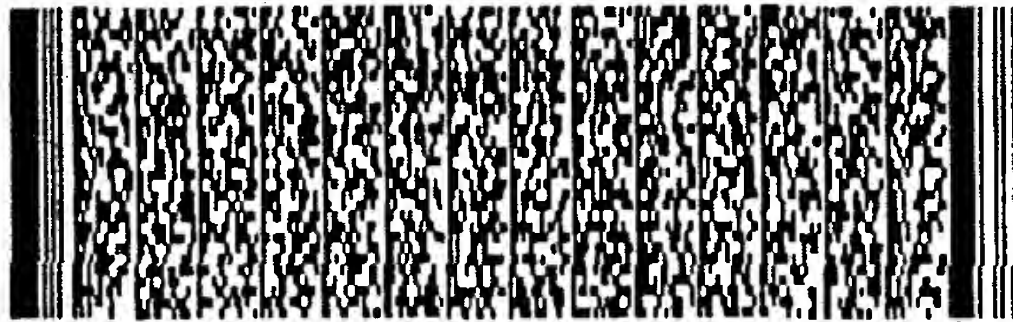
第 1/17 頁



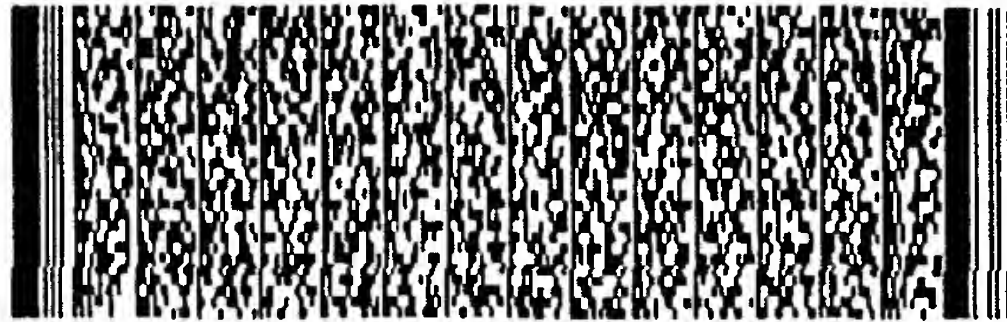
第 1/17 頁



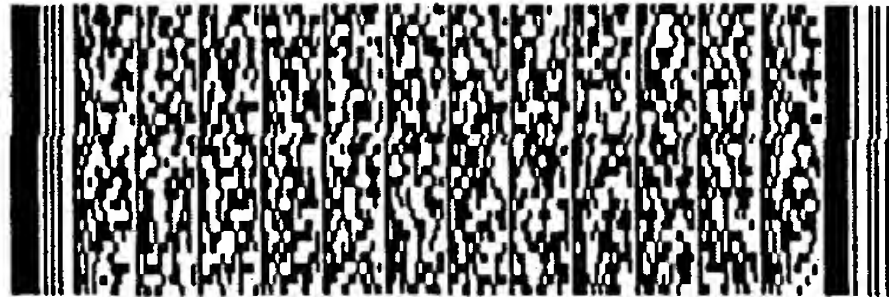
第 2/17 頁



第 2/17 頁



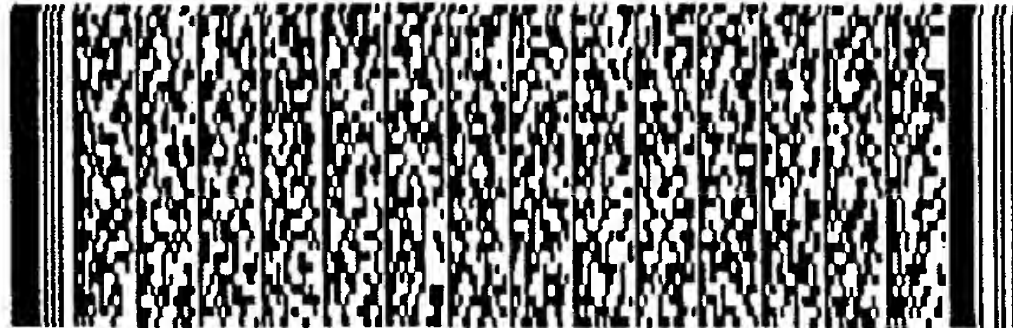
第 3/17 頁



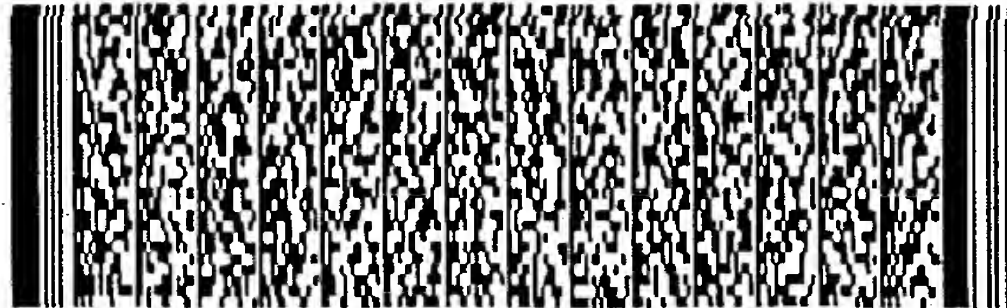
第 5/17 頁



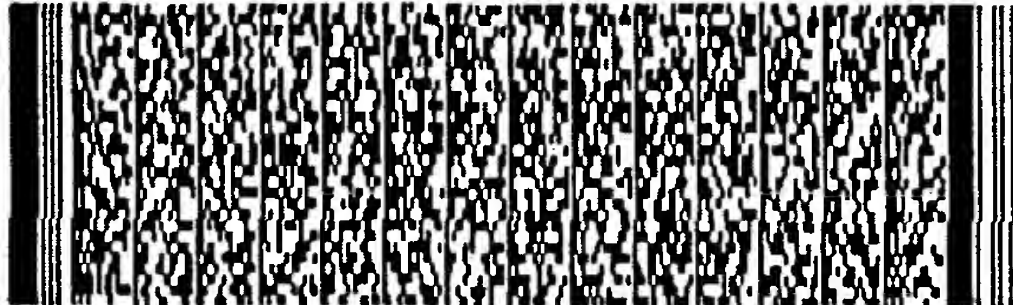
第 5/17 頁



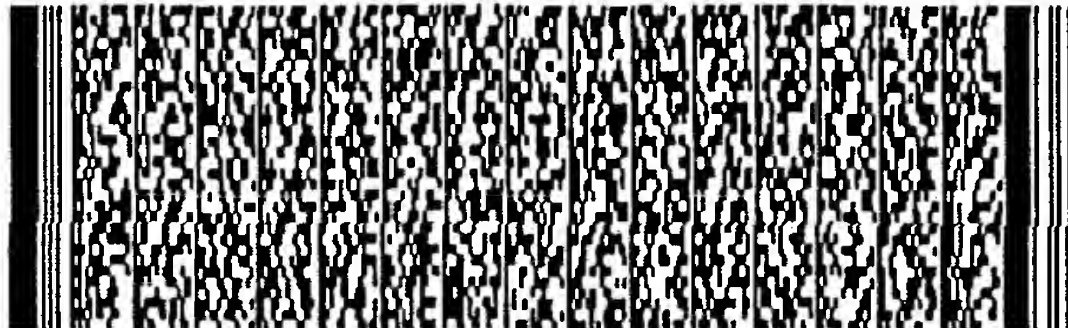
第 6/17 頁



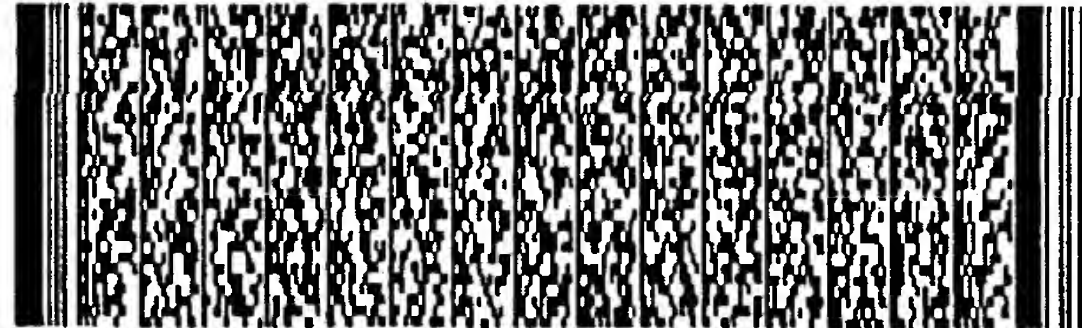
第 6/17 頁



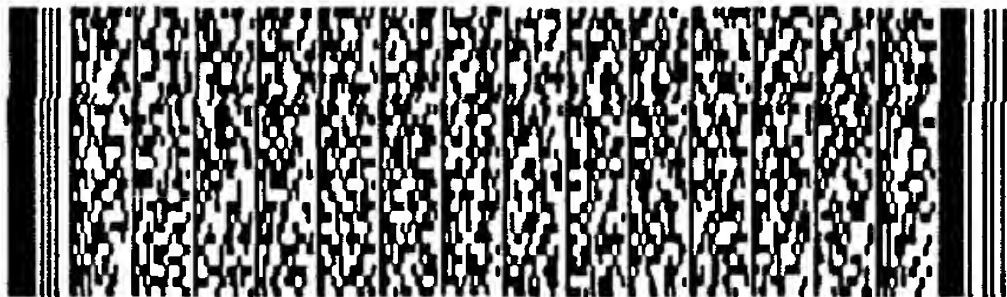
第 7/17 頁



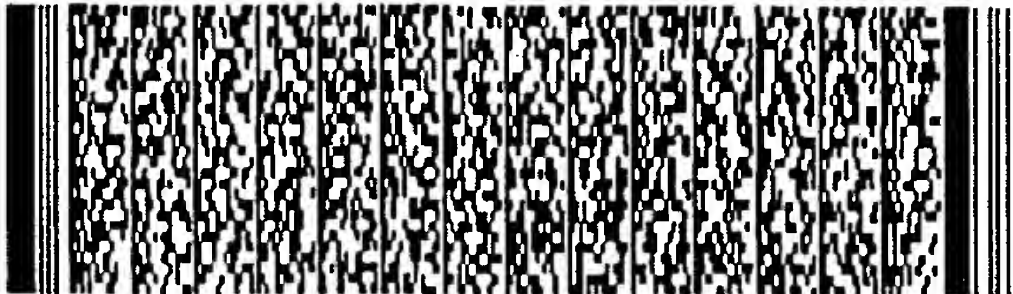
第 7/17 頁



第 8/17 頁



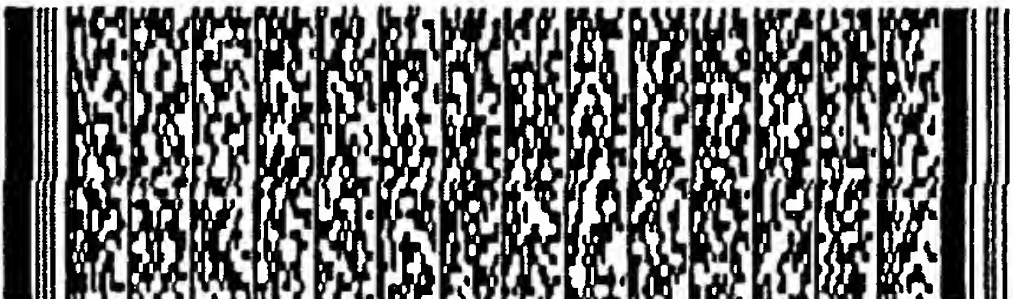
第 8/17 頁



第 9/17 頁



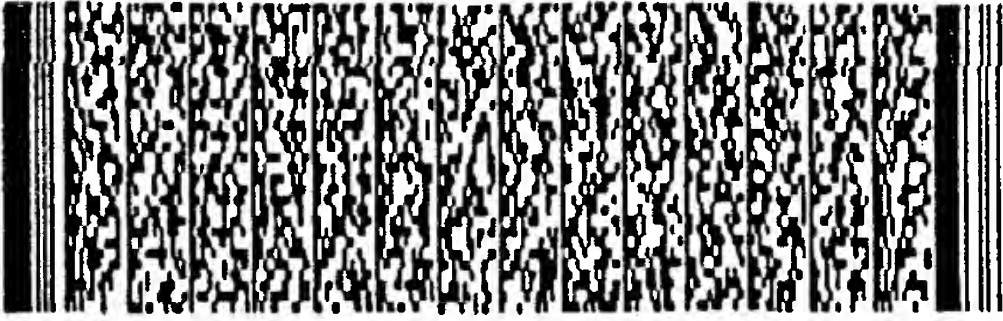
第 9/17 頁



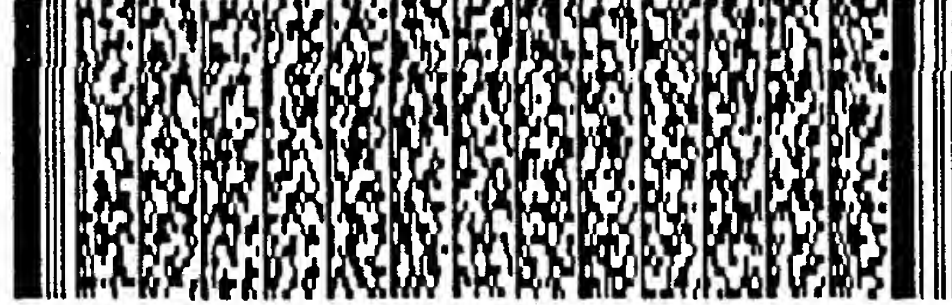
第 10/17 頁



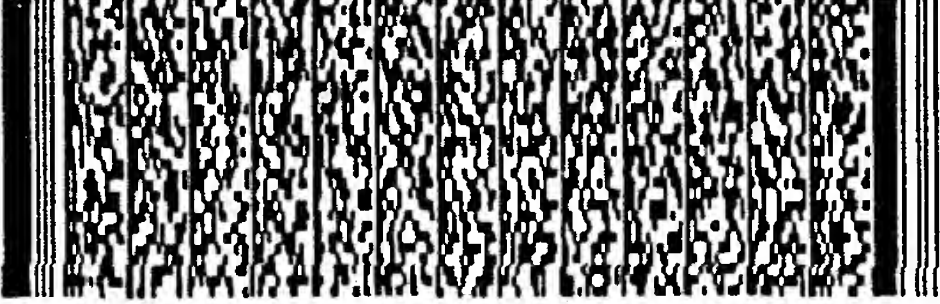
第 10/17 頁



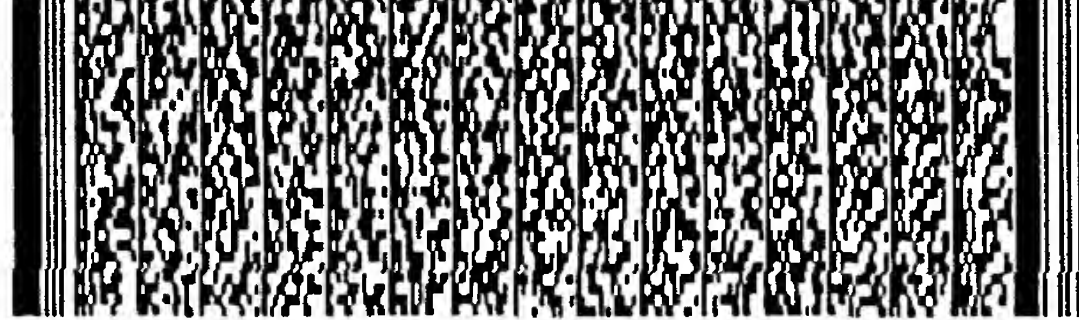
第 11/17 頁



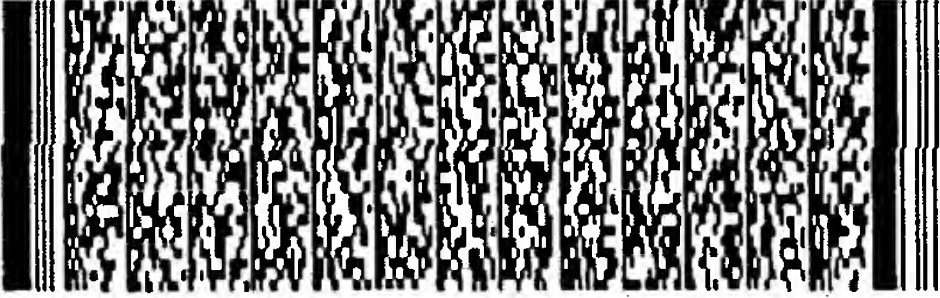
第 11/17 頁



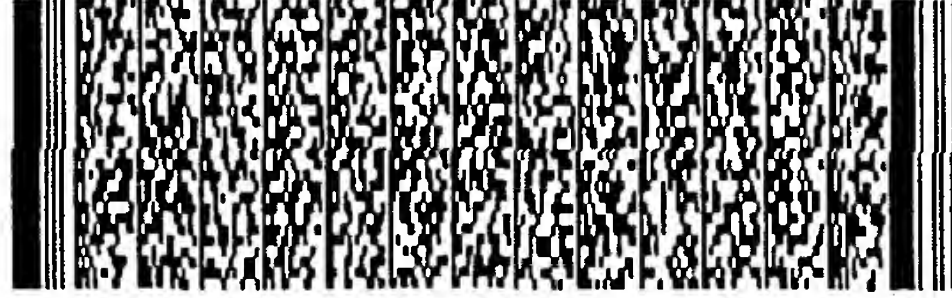
第 12/17 頁



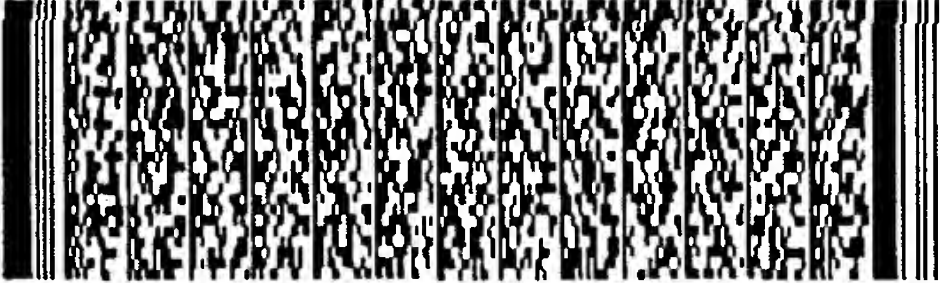
第 13/17 頁



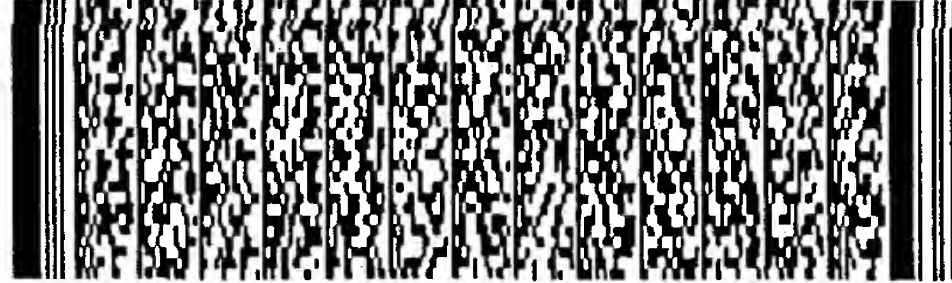
第 13/17 頁



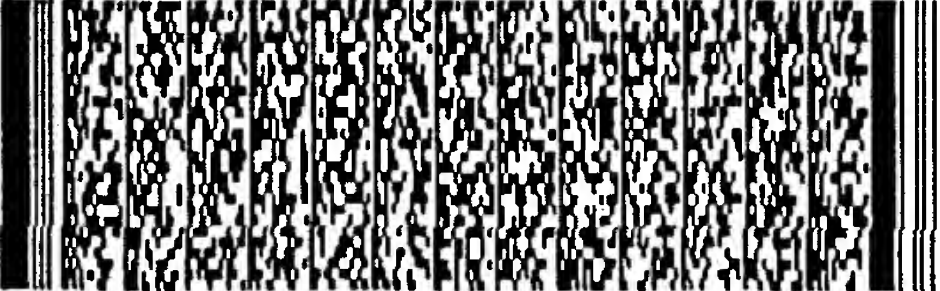
第 14/17 頁



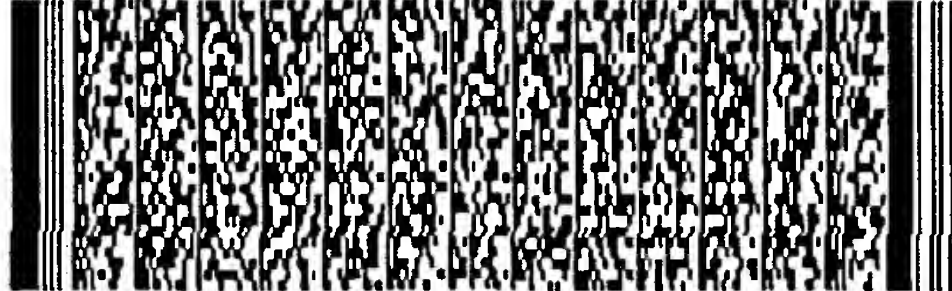
第 14/17 頁



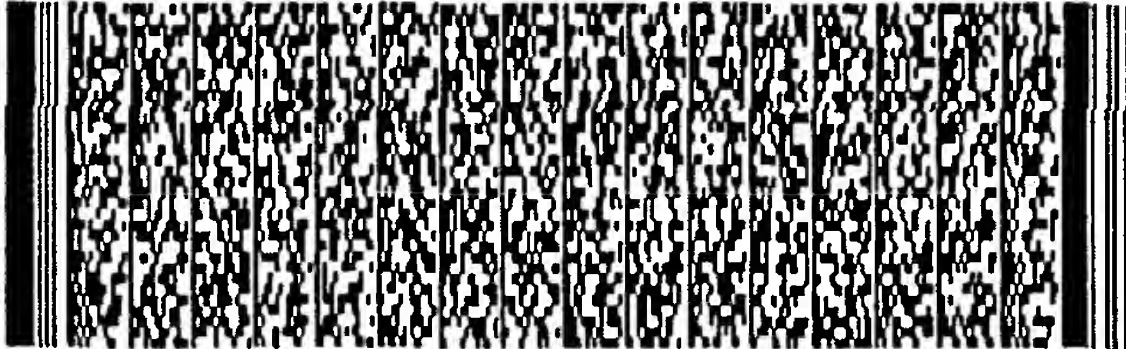
第 15/17 頁



第 15/17 頁



第 16/17 頁



第 17/17 頁

